

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Yun et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: GATE STRUCTURES IN NONVOLATILE MEMORY DEVICES HAVING
CURVED SIDE WALLS FORMED USING OXYGEN PATHWAYS AND
METHODS OF FORMING SAME

July 29, 2003

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-0054460, filed September 10, 2002.

Respectfully submitted,



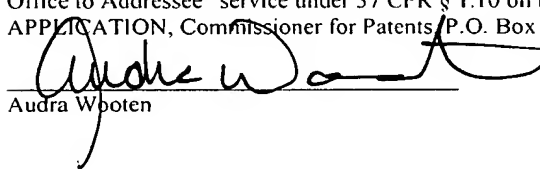
Robert M. Crouse
Registration No. 44,635

Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 353596755 US
Date of Deposit: July 29, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450



Audra Wooten

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0054460
Application Number

출원년월일 : 2002년 09월 10일
Date of Application SEP 10, 2002

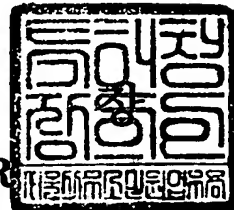
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.09.10
【발명의 명칭】	비휘발성 메모리 장치의 게이트 구조체 및 그 형성 방법
【발명의 영문명칭】	Gate Structure Of Nonvolatile Memory Device And Method Of Forming The Same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	윤재선
【성명의 영문표기】	YUN, JAE SUN
【주민등록번호】	710704-1395027
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 산7-1 월계수동 1028호
【국적】	KR
【발명자】	
【성명의 국문표기】	신진현
【성명의 영문표기】	SHIN, JIN HYUN
【주민등록번호】	680215-1794111
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 964-5 주공아파트 503동 1804호
【국적】	KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

7 면 7,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

18 항 685,000 원

【합계】

721,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

비휘발성 메모리 장치의 트랜지스터 및 그 형성 방법을 제공한다. 이 트랜지스터의 형성 방법은 반도체기판 상에 게이트 패턴을 형성한 후, 게이트 패턴을 포함하는 반도체기판의 전면에 확산 방지막을 형성하는 단계를 포함한다. 이후, 확산 방지막을 이방성 식각하여 게이트 패턴의 측면에 확산 방지 스페이서를 형성한다. 이때, 게이트 패턴은 차례로 적층된 게이트 산화막, 부유 게이트, 게이트 층간절연막 패턴 및 제어 게이트로 이루어진다. 이후, 확산 방지 스페이서가 형성된 반도체기판에 대해 열산화 공정을 실시한다. 이에 따라, 부유 게이트의 하부 모서리는 열산화되어 라운드된 프로파일을 갖고, 결과적으로 막의 가장자리에서의 두께와 중앙에서의 두께의 차이는 게이트 층간절연막 패턴보다 게이트 산화막의 경우가 더 크게 된다.

【대표도】

도 8

【명세서】**【발명의 명칭】**

비휘발성 메모리 장치의 게이트 구조체 및 그 형성 방법{Gate Structure Of Nonvolatile Memory Device And Method Of Forming The Same}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 비휘발성 메모리 장치의 게이트 구조체를 형성하는 방법을 나타내는 공정 단면도이다.

도 2 및 도 3은 종래 기술에 따른 비휘발성 메모리 장치의 게이트 구조체를 형성하는 또다른 방법을 나타내는 공정 단면도들이다.

도 4 내지 도 7은 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 장치의 게이트 구조체를 형성하는 방법을 나타내는 공정 단면도들이다.

도 8은 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 장치의 게이트 구조체를 나타내는 사시도이다.

도 9는 도 8에 표시된 A의 확대도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로서, 특히 비휘발성 메모리 장치의 게이트 구조체 및 그 형성 방법에 관한 것이다.

- <7> 비휘발성 메모리 장치는 전원이 공급되지 않아도 저장된 정보를 유지할 수 있는 반도체 장치이다. 이러한 비휘발성 메모리 장치에 대한 산업적 수요는 전자 장치의 소형화 및 휴대화에 따라 급증하고 있다.
- <8> 상기 플래시 메모리 장치는 부유 게이트(floating gate)를 포함하는 스택(stack) 구조가 가장 일반적으로 사용된다. 도 1은 종래 기술에 따른 비휘발성 메모리 장치의 게이트 구조체를 형성하는 방법을 나타내는 공정단면도이다.
- <9> 도 1을 참조하면, 반도체기판(10) 상에 비휘발성 메모리 장치의 게이트 패턴(90)을 형성한다. 상기 게이트 패턴(90)은 차례로 적층된 게이트 산화막(12), 부유 게이트(14), 게이트 층간절연막(21), 제어 게이트(22) 및 캐핑 패턴(24)으로 구성된다. 이때, 상기 게이트 산화막(12)은 실리콘 산화막으로, 상기 반도체기판(10)을 열산화시키는 방법으로 형성한다. 상기 게이트 층간절연막(21)은 차례로 적층된 하부 실리콘 산화막(16), 실리콘 질화막(18) 및 상부 실리콘 산화막(20)으로 형성한다. 또한, 상기 부유 게이트(14)는 다결정 실리콘으로 형성하고, 상기 제어 게이트(22)는 차례로 적층된 다결정 실리콘 및 실리사이드로 형성한다.
- <10> 상기 게이트 패턴(90)을 형성하는 단계는 플라즈마를 이용하는 건식 식각의 단계를 포함한다. 이러한 플라즈마 건식 식각은 상기 게이트 패턴(90)에 식각 손상을 유발하며, 이러한 식각 손상은 비휘발성 메모리 장치의 특성에 악영향을 줄 수 있다. 이에 따라, 상기 식각 손상을 치유하기 위해 상기 게이트 패턴(90)을 형성한 후 열산화 공정을 더 실시한다. 상기 열산화 공정은 고온의 산소 분위기에서 실시되며, 그 결과로 상기 부유 게이트(14) 및 제어 게이트(22)의 측벽에는 실리콘 산

화막이 형성된다. 이 실리콘 산화막은 상기 게이트 층간절연막(21) 및 상기 게이트 산화막(12)의 가장자리를 두꺼워지게 하는 원인이 된다. 상기 게이트 층간절연막(21)이 두꺼워지면, 상기 제어 게이트(22)에 인가되는 전압이 상기 부유 게이트(14)에 전달되는 효율을 나타내는 커플링 비율(coupling ratio)이 감소한다. 상기 커플링 비율이 감소할 경우, 비휘발성 메모리 장치의 동작 전압을 높여야 하는 등의 문제가 발생한다.

<11> 이처럼 커플링 비율의 감소 문제를 최소화하기 위한 방법으로서, 한국 공개 특허 2001-0004263에서는 확산 방지막을 사용하는 것을 특징으로 하는 비휘발성 메모리 장치의 게이트 형성 방법이 제안되고 있다. 도 2 및 도 3은 한국 공개 특허 2001-0004263에 개시된 방법을 설명하기 위한 공정단면도들이다.

<12> 도 2를 참조하면, 열산화 공정을 실시하기 전, 즉 게이트 패턴(90)을 형성하기까지의 단계들은 도 1에서 설명한 것과 동일하다. 상기 게이트 패턴(90)을 형성한 후, 그 결과물의 전면을 덮는 하부 절연막(28) 및 상부 절연막(30)을 차례로 형성한다. 이때, 상기 하부 절연막(28) 및 상기 상부 절연막(30)은 각각 실리콘 산화막 및 실리콘 질화막으로 형성된다.

<13> 상기 상부 절연막(30)이 형성된 반도체기판에 대해 열산화 공정을 실시한다. 이때, 확산 방지막으로 사용되는 상기 상부 절연막(30)이 상기 게이트 패턴(90)을 포함하는 반도체기판의 전면을 덮기 때문에, 상기 열산화 공정동안 산소 원자들은 상기 게이트 패턴(90)으로 침투하지 못한다. 이에 따라, 상기 열산화 공정은 열 에너지를 공급하여 식각 손상된 부위를 안정된 상태로 치유하는 기능만을 수행할 뿐 상기 부유 게이트(14)의 형태 개선에는 기여하지 못한다. 상기 부유 게이트(14)의 형태 개선이라는 열산화 공정의 또다른 기능에 대해서는 아래 도 3에서 설명하기로 한다.

<14> 도 3을 참조하면, 상기 상부 절연막(30) 및 하부 절연막(28)을 차례로 제거하여 상기 게이트 패턴(90)을 노출시킨다. 상기 게이트 패턴(90)이 노출된 반도체기판의 전면을 덮는 스페이서막을 형성한다. 상기 스페이서막은 화학 기상 증착의 방법으로 형성한 실리콘 산화막인 것이 일반적이다. 이후, 상기 게이트 패턴(90)의 상부면이 노출될 때까지 상기 스페이서막을 이방성 식각함으로써, 상기 게이트 패턴(90)의 측벽에 게이트 스페이서(32)를 형성한다.

<15> 이때, 상기 부유 게이트(14)는 상기 열산화 공정에서 산화되지 않기 때문에, 하부 모서리(60)는 각진 모양을 갖는다. 이에 따라, 상기 게이트 산화막(12) 및 상기 게이트 스페이서(32)를 지나는 두가지 경로(path)들에 대해 상기 부유 게이트(14)에서부터 상기 반도체기판(10)까지의 거리를 고려하면, 두가지 경로의 길이는 유사하다. 한편, 상기 게이트 스페이서(32)는 화학 기상 증착의 방법으로 형성된 실리콘 산화막이기 때문에, 열산화 공정을 통해 형성된 상기 게이트 산화막(12)에 비해 전기적 특성이 불량하다. 이러한 사실들로 인해, 상기 게이트 스페이서(32)는 상기 부유 게이트(14)에 저장된 전하가 누설되기 쉬운 경로를 형성한다.

<16> 이에 더하여, 상기 부유 게이트(14)의 하부 모서리(60)는 그것의 각진 모양때문에, 인가되는 전기장이 집중되는 부분이다. 이처럼 국소적인 영역에 전기장이 쉽게 집중될 경우, 비휘발성 메모리 장치의 내구성 및 전하 저장 특성이 악화되는 문제를 유발한다.

【발명이 이루고자 하는 기술적 과제】

<17> 본 발명이 이루고자 하는 기술적 과제는 게이트 패턴 형성을 위한 식각 공정에서 발생하는 식각 손상을 치유하되, 커플링 비율의 감소를 최소화할 수 있는 비휘발성 메모리 장치의 게이트 구조체 형성 방법을 제공하는 데 있다.

<18> 본 발명이 이루고자 하는 다른 기술적 과제는 부유 게이트의 하부 모서리에 전기장이 집중되는 문제를 해결할 수 있는 비휘발성 메모리 장치의 게이트 구조체 형성 방법을 제공하는 데 있다.

<19> 본 발명이 이루고자 하는 또다른 기술적 과제는 제어 게이트에 인가되는 전압을 효율적으로 부유 게이트에 전달하면서, 부유 게이트의 하부 모서리에 전기장이 집중되는 문제를 해결할 수 있는 비휘발성 메모리의 게이트 구조체를 제공하는 데 있다.

【발명의 구성 및 작용】

<20> 상기 기술적 과제를 달성하기 위하여, 본 발명은 게이트 패턴의 측벽에 확산 방지 스페이서를 형성하는 단계를 포함하는 비휘발성 메모리 장치의 트랜지스터 형성 방법을 제공한다. 이 방법은 반도체기판 상에 게이트 패턴을 형성하고, 상기 게이트 패턴을 포함하는 반도체기판의 전면에 확산 방지막을 형성한 후, 상기 확산 방지막을 이방성 식각하여 상기 게이트 패턴의 측면에 배치되는 확산 방지 스페이서를 형성하는 단계를 포함한다. 이때, 상기 게이트 패턴은 차례로 적층된 게이트 산화막, 부유 게이트, 게이트 층간절연막 패턴 및 제어 게이트로 이루어진다. 이후, 상기 확산 방지 스페이서가 형성된 반도체기판에 대해 열산화 공정을 실시한다.

<21> 상기 게이트 패턴을 형성하는 단계는 상기 반도체기판의 소정영역에 활성영역을 한정하는 소자분리막을 형성한 후, 상기 활성영역 상에 게이트 산화막을 형성하는 단계를 포함한다. 이후, 상기 게이트 산화막 상에 상기 활성영역에 평행한 방향으로 배치되는 하부 도전막 패턴을 형성한 후, 그 결과물 전면에서 게이트 층간절연막 및 상부 도전막을 차례로 형성한 후, 상기 활성영역에 수직인 방향으로 상기 상부 도전막, 게이트 층간절연막 및 하부 도전막 패턴을 패터닝한다. 이때, 상기 게이트 산화막은 상기 활성영역을

열산화시킴으로써 형성되는 실리콘 산화막인 것이 바람직하다. 또한, 상기 하부 도전막 패턴은 다결정 실리콘으로 형성하고, 상기 상부 도전막은 차례로 적층된 다결정 실리콘 및 실리콘사이드로 형성하는 것이 바람직하다. 한편, 상기 상부 도전막을 패터닝하기 전에, 상기 상부 도전막 상에 캐핑막을 더 형성할 수도 있다. 상기 캐핑막은 상기 게이트 패턴 형성을 위한 식각 공정에서 식각 마스크 또는 반사 방지막 등으로 사용될 수 있다.

<22> 바람직하게는, 상기 게이트 층간절연막 패턴은 차례로 적층된 실리콘 산화막, 실리콘 질화막 및 실리콘 산화막으로 형성한다. 또한, 상기 확산 방지막은 실리콘 질화막을 화학 기상 증착의 방법으로 형성하는 것이 바람직하다. 상기 확산 방지막을 형성하기 전에, 상기 게이트 패턴이 형성된 반도체기판 전면을 덮는 완충 절연막을 더 형성할 수도 있다. 이때, 상기 완충 절연막은 화학 기상 증착의 방법으로 형성한 실리콘 산화막인 것이 바람직하다.

<23> 한편, 상기 열산화 공정은 상기 부유 게이트의 하부 가장자리를 열산화시키도록 실시된다. 이에 따라, 상기 부유 게이트의 하부 가장자리는 라운드된 프로파일(rounded profile)을 갖는다.

<24> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 게이트 패턴의 측벽에 확산 방지 스페이서를 구비하는 비휘발성 메모리 장치의 트랜지스터를 제공한다. 이 트랜지스터는 반도체기판의 소정영역에 배치되어 활성영역을 한정하는 소자분리막, 상기 활성영역 상에 배치되는 복수개의 게이트 패턴들 및 상기 게이트 패턴들의 측벽에 배치되는 확산 방지 스페이서를 포함한다. 상기 게이트 패턴은 상기 활성영역 상에 배치되는 게이트 산화막, 상기 게이트 산화막 및 상기 소자분리막을 가로지르는 제어 게이트, 상기 제어

게이트 아래에 배치되어 상기 게이트 산화막을 덮는 부유 게이트 및 상기 부유 게이트와 상기 제어 게이트 사이에 개재되는 게이트 층간절연막 패턴을 포함한다. 이때, 막의 가장자리에서의 두께와 중앙에서의 두께의 차이는 상기 게이트 층간절연막 패턴보다 상기 게이트 산화막의 경우가 더 크다.

<25> 바람직하게는 상기 게이트 패턴과 상기 확산 방지 스페이서 사이에는 완충 절연막이 개재될 수도 있다. 이때, 상기 부유 게이트는 다결정 실리콘으로 이루어지고, 상기 제어 게이트는 차례로 적층된 다결정 실리콘 및 실리콘사이드로 이루어진다. 또한, 상기 확산 방지 스페이서는 실리콘 질화막으로 이루어지고, 상기 완충 절연막은 실리콘 산화막으로 이루어지는 것이 바람직하다. 한편, 상기 부유 게이트의 하부 모서리는 라운드된 프로파일을 갖는다.

<26> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

<27> 도 4 내지 도 7은 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 장치의 게이트 구조체를 형성하는 방법을 나타내는 공정단면도들이다.

<28> 도 4를 참조하면, 반도체기판(100)의 소정영역에 활성영역을 한정하는 소자분리막(도시하지 않음)을 형성한다. 상기 활성영역 상에 게이트 산화막(110)을 형성한다. 상기 게이트 산화막(110)은 상기 활성영역을 열산화시킴으로써 형성하는 실리콘 산화막인 것이 바람직하다.

<29> 상기 게이트 산화막(110)이 형성된 반도체기판 전면에 하부 도전막을 형성한 후, 이를 패터닝하여 상기 활성영역에 평행한 하부 도전막 패턴을 형성한다. 상기 하부 도전막 패턴은 상기 활성영역의 상기 게이트 산화막(110)을 덮도록 패터닝된다. 상기 하부 도전막 패턴이 형성된 반도체기판 상에 게이트 층간절연막, 상부 도전막 및 캐핑막을 차례로 적층한다. 이후, 상기 캐핑막, 상부 도전막, 게이트 층간절연막 및 하부 도전막 패턴을 차례로 이방성 식각하여, 캐핑 패턴(150), 제어 게이트(140), 게이트 층간절연막 패턴(130) 및 부유 게이트(120)를 형성한다. 상기 게이트 산화막(110), 부유 게이트(120), 게이트 층간절연막 패턴(130), 제어 게이트(140) 및 캐핑 패턴(150)은 게이트 패턴(200)을 구성한다. 상기 게이트 패턴(200)은 상기 활성영역을 가로지르도록 형성된다. 즉, 상기 하부 도전막 패턴과 상기 게이트 패턴(200)의 방향들은 서로 수직하다. 이에 따라, 상기 부유 게이트(120)는, 평면적으로 볼 때, 사각형의 섬 모양으로 형성된다.

<30> 상기 하부 도전막 및 이로부터 형성되는 상기 부유 게이트(120)는 화학 기상 증착 공정을 통해 형성된 다결정 실리콘인 것이 바람직하다. 상기 게이트 층간절연막 패턴(130)은 차례로 적층된 하부 실리콘 산화막(132), 실리콘 질화막(134) 및 상부 실리콘 산화막(136)으로 이루어지는 것이 바람직하다. 상기 상부 도전막 및 이로부터 형성되는 상기 제어 게이트(140)는 차례로 적층된 하부 제어 게이트(142) 및 상부 제어 게이트(144)로 구성되는 다층 구조일 수 있다. 이때, 상기 하부 제어 게이트(142) 및 상기 상

부 제어 게이트(144)는 각각 다결정 실리콘 및 실리콘사이드로 구성되는 것이 바람직하다. 상기 캐핑 패턴(150)은 실리콘 질화막, 실리콘 산화막 및 실리콘 산화질화막 중에서 선택된 적어도 한가지 물질로 형성하는 것이 바람직하다.

<31> 도 5를 참조하면, 상기 게이트 패턴(200)이 형성된 반도체기판의 전면에서 절연막(160)을 형성한다. 상기 절연막(160)은 차례로 적층된 완충 절연막(162) 및 확산 방지막(164)으로 구성된다.

<32> 상기 완충 절연막(162) 및 확산 방지막(164)은 상기 게이트 패턴(200)을 콘포말하게 덮도록 형성하는 것이 바람직하다. 이를 위해 상기 완충 절연막(162) 및 확산 방지막(164)은 화학 기상 증착(chemical vapor deposition, CVD)의 방법으로 형성하는 것이 바람직하다. 또한, 상기 완충 절연막(162)은 실리콘 산화막으로 형성하고, 상기 확산 방지막(164)은 상기 실리콘 산화막보다 밀도가 높은 실리콘 질화막으로 형성한다. 상기 완충 절연막(162)은 150Å 이하의 두께로 형성하는 것이 바람직하고, 상기 확산 방지막(164)은 300Å 이하의 두께로 형성하는 것이 바람직하다.

<33> 도 6을 참조하면, 상기 게이트 패턴(200) 상부에서 상기 완충 절연막(162)이 노출되도록, 상기 확산 방지막(164)을 이방성 식각한다. 이에 따라, 상기 게이트 패턴(200)의 측면에는 상기 완충 절연막(162)의 측벽을 덮는 확산 방지 스페이서(164a)가 형성된다. 상기 확산 방지 스페이서(164a) 형성을 위한 식각 공정은 상기 완충 절연막(162)에 대해 식각 선택성을 갖는 식각 레시피를 사용하는 것이 바람직하다.

<34> 상기 게이트 패턴(200)은 상기 완충 절연막(162)에 의해 그 상부면이 덮이고, 상기 완충 절연막(162) 및 상기 확산 방지 스페이서(164a)에 의해 그 측면이 덮인다. 상기 확산 방지 스페이서(164a)는 밀도가 높은 실리콘 질화막으로 형성되기 때문에, 산소 등이

상기 게이트 패턴(200)으로 직접 침투하는 것을 차단할 수 있다. 이에 따라, 산소 원자가 상기 게이트 층간절연막 패턴(130)으로 침투하기 위해서는 상기 게이트 패턴(200)과 상기 확산 방지 스페이서(164a) 사이의 상기 완충 절연막(162)을 통로로 사용하게 된다. 이때, 산소 원자의 침투 입구는 상기 게이트 패턴(200)의 상부 및 상기 확산 방지 스페이서(164a)의 하부에 노출된 상기 완충 절연막(162)이다. 다시 말해, 산소 원자가 상기 게이트 층간절연막 패턴(130)으로 침투하기 위한 경로는 상기 확산 방지 스페이서(164a)에 의해 길어진다. 침투 경로가 길어질 수록, 산소 원자들의 도착 빈도, 즉 침투 확률은 낮아진다. 이는 상기 제어 게이트(140)와 상기 부유 게이트(120) 사이의 커플링 비율의 감소를 예방하는 데 기여한다.

<35> 도 7을 참조하면, 상기 확산 방지 스페이서(164a)가 형성된 반도체기판에 대해 열산화 공정을 실시한다. 상기 열산화 공정은 고온의 산소 분위기에서 실시하는 것이 바람직하다. 이때 산소 원자들은 상기 게이트 패턴(200)으로 침투하여, 상기 게이트 산화막(110) 및 상기 게이트 층간절연막 패턴(130)의 두께를 증가시킨다. 이러한 두께의 증가는 상기 산소 원자들이 상기 부유 게이트(120) 및 상기 제어 게이트(140)의 실리콘 원자들과 반응하여 형성된 실리콘 산화막에 기인하는 결과이다. 상기 열산화 공정의 결과로서, 상기 확산 방지 스페이서(164a) 주변에 노출된 반도체기판(100)에는 상기 게이트 산화막(110)과 연결되는 열산화막(170)이 형성된다. 도 6에서 설명한 것처럼, 상기 게이트 층간절연막 패턴(130)의 두께가 증가하는 현상은 상기 확산 방지 스페이서(164a)에 의해 최소화된다.

<36> 한편, 상기 확산 방지 스페이서(164a)의 하부면은 상기 게이트 산화막(110)의 측면에 형성된다. 따라서, 상기 열산화 공정 동안 산소 원자들이 상기 게이트 산화막(110)

및 상기 부유 게이트(120)까지 침투하기 위한 경로의 길이는 상기 게이트 층간절연막 패턴(130)의 그것보다 짧다. 이에 따라, 상기 부유 게이트(120)의 측벽 및 모서리에는 열산화막이 형성되며, 이에 더하여 상기 부유 게이트(120)의 하부 모서리는 라운드된 프로파일을 갖게 된다. 상술한 바와 같이, 상기 게이트 층간절연막 패턴(130)의 가장자리에서의 두께 증가 비율은 상기 게이트 산화막(110)에 비해 훨씬 작다.

<37> 상기 확산 방지 스페이서(164a) 및 상기 완충 절연막(162)을 제거한 후, 상기 게이트 패턴(200)의 측벽에 또다른 게이트 스페이서를 형성할 수도 있다. 하지만, 상기 확산 방지 스페이서(164a)를 게이트 스페이서로 계속 사용할 수도 있다.

<38> 한편, 상기 스페이서 절연막(160)을 형성하기 전에, 상기 게이트 패턴(200)을 마스크로 사용하는 저농도 이온 주입 공정을 더 실시할 수 있다. 이에 더하여, 상기 확산 방지 스페이서(164a)를 형성한 후에는, 이를 마스크로 사용하는 고농도 이온 주입 공정을 더 실시할 수도 있다. 또는, 상기 고농도 이온 주입 공정을 실시하기 전에, 상기 확산 방지 스페이서(164a)의 측벽에 또다른 게이트 스페이서를 더 형성할 수도 있다.

<39> 도 8은 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 장치의 게이트 구조체를 나타내는 사시도이고, 도 9는 도 8에 표시된 A의 확대도이다.

<40> 도 8 및 도 9를 참조하면, 반도체기판(100)의 소정영역에 활성영역을 한정하는 소자분리막(105)이 배치된다. 상기 소자분리막(105)이 형성된 반도체기판 상에는, 상기 활성영역 및 상기 소자분리막(105)을 가로지르는 게이트 패턴(200)이 배치된다.

<41> 상기 게이트 패턴(200)은 차례로 적층된 게이트 산화막(110), 부유 게이트(120), 게이트 층간절연막 패턴(130), 제어 게이트(140) 및 캐핑 패턴(150)으로 구성된다.

- <42> 상기 게이트 산화막(110)은 열산화 공정을 통해 형성된 실리콘 산화막이다. 상기 부유 게이트(120)는 상기 소자분리막(105) 상에서 절단되어, 상기 소자분리막(105)의 상부면을 노출시킨다. 바람직하게는 상기 부유 게이트(120)는 불순물을 포함하는 다결정 실리콘으로 이루어진다. 이때, 상기 부유 게이트(120)의 하부 모서리는 라운드된 프로파일일 것으로써, 상기 하부 모서리에 전기장이 집중되는 종래의 문제점을 최소화할 수 있다.
- <43> 상기 게이트 층간절연막 패턴(130)은 상기 부유 게이트(120)의 상부면 및 측벽, 그리고 상기 소자분리막(105)의 노출된 상부면을 콘포말하게 덮으면서 배치된다. 상기 게이트 층간절연막 패턴(130)은 차례로 적층된 하부 실리콘 산화막(132), 실리콘 질화막(134) 및 상부 실리콘 산화막(136)으로 구성되는 것이 바람직하다.
- <44> 상기 제어 게이트(140)는 차례로 적층된 하부 제어 게이트(142) 및 상부 제어 게이트(144)로 구성되는 것이 바람직하다. 상기 하부 제어 게이트(142)는 상기 게이트 층간절연막 패턴(130)을 덮으며, 바람직하게는 다결정 실리콘으로 이루어진다. 상기 상부 제어 게이트(144)는 텅스텐 실리사이드인 것이 바람직한데, 다양한 금속 물질들 및 이들의 실리사이드 물질들 중에서 선택된 한가지일 수도 있다. 한편, 상기 캐핑 패턴(150)은 실리콘 질화막, 실리콘 산화막 및 실리콘 산화질화막 중에서 선택된 적어도 한가지 물질로 형성될 수 있다.
- <45> 상기 게이트 패턴(200)의 상부면 및 측벽은 실리콘 산화막으로 이루어지는 완충 절연막(162)으로 덮인다. 상기 완충 절연막(162)은 150Å 이하의 두께인 것이 바람직하다. 상기 완충 절연막(162)이 덮인 상기 게이트 패턴(200)의 측면에는 실리콘 질화막으로 이루어지는 확산 방지 스페이서(164a)가 배치된다. 상기 확산 방지 스페이서(164a)는 산소

원자의 침투를 차단하는 기능을 갖는다. 이에 따라, 본 발명에 따르면, 중앙에서의 두께와 가장자리에서의 두께의 차이는 상기 게이트 층간절연막 패턴(130)보다 상기 게이트 산화막(110)에서 더 크다. 즉, 상기 게이트 산화막(110)의 가장자리 두께(L_2)와 중앙 두께(L_1)의 차이(L_2-L_1)는 상기 하부 실리콘 산화막(132)의 가장자리 두께(L_4)와 중앙 두께(L_3)의 차이(L_4-L_3)보다 큰 것을 특징으로 한다. 이러한 두께의 차이는 상기 확산 방지 스페이서(164a)의 존재에 원인을 갖는다.

【발명의 효과】

<46> 본 발명에 따르면, 게이트 패턴의 측벽을 덮는 확산 방지 스페이서를 형성한 후 열산화 공정을 실시한다. 이에 따라, 상기 게이트 패턴 형성 공정에서 발생한 식각 손상은 치유된다. 한편, 상기 확산 방지 스페이서는 산소 원자들이 게이트 층간절연막 패턴까지 침투하기 위한 경로 길이를 증가시킨다. 이에 따라, 상기 게이트 층간절연막 패턴이 두꺼워지는 현상은 최소화되어, 제어 게이트에 인가되는 전압이 부유 게이트로 전달되는 효율을 높일 수 있다.

<47> 또한, 상기 확산 방지 스페이서는 상기 게이트 패턴의 측벽을 덮도록 형성되므로, 산소 원자들이 상기 부유 게이트까지 침투하는 것을 가능하게 한다. 이에 따라, 전기장이 부유 게이트의 하부 모서리에 집중되는 것을 예방할 수 있다. 그 결과, 저전압에서 동작하고, 전하 보존 특성이 우수하며, 전기적 내구성이 뛰어난 비휘발성 메모리 장치를 제조할 수 있다.

【특허청구범위】**【청구항 1】**

반도체기판 상에, 게이트 산화막, 부유 게이트, 게이트 층간절연막 패턴 및 제어 게이트가 차례로 적층된 게이트 패턴을 형성하는 단계;

상기 게이트 패턴을 포함하는 반도체기판의 전면에, 확산 방지막을 형성하는 단계 ;

상기 확산 방지막을 이방성 식각하여 상기 게이트 패턴의 측면에 배치되는 확산 방지 스페이서를 형성하는 단계; 및

상기 확산 방지 스페이서가 형성된 반도체기판에 대해 열산화 공정을 실시하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 장치의 트랜지스터 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 게이트 층간절연막 패턴은 차례로 적층된 실리콘 산화막, 실리콘 질화막 및 실리콘 산화막으로 형성되는 것을 특징으로 하는 비휘발성 메모리 장치의 트랜지스터 형성 방법.

【청구항 3】

제 1 항에 있어서,

상기 게이트 패턴을 형성하는 단계는

상기 반도체기판의 소정영역에 활성영역을 한정하는 소자분리막을 형성하는 단계;

상기 활성영역 상에 게이트 산화막을 형성하는 단계;

상기 게이트 산화막 상에, 상기 활성영역에 평행한 방향으로 배치되는 하부 도전막 패턴을 형성하는 단계;

상기 하부 도전막 패턴이 형성된 반도체기판 전면에 게이트 층간절연막 및 상부 도전막을 형성하는 단계; 및

상기 활성영역에 수직한 방향으로, 상기 상부 도전막, 게이트 층간절연막 및 하부 도전막 패턴을 차례로 패터닝하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 장치의 트랜지스터 형성 방법.

【청구항 4】

제 3 항에 있어서,

상기 게이트 산화막은 상기 활성영역을 열산화시킴으로써 형성되는 실리콘 산화막인 것을 특징으로 하는 비휘발성 메모리 장치의 트랜지스터 형성 방법.

【청구항 5】

제 3 항에 있어서,

상기 하부 도전막 패턴은 다결정 실리콘으로 형성하는 것을 특징으로 하는 비휘발성 메모리 장치의 트랜지스터 형성 방법.

【청구항 6】

제 3 항에 있어서,

상기 상부 도전막은 차례로 적층된 다결정 실리콘 및 실리콘사이드로 형성하는 것을 특징으로 하는 비휘발성 메모리 장치의 트랜지스터 형성 방법.

【청구항 7】

제 3 항에 있어서,

상기 상부 도전막을 패터닝하기 전에, 상기 상부 도전막 상에 캐핑막을 형성하는 단계를 더 포함하는 비휘발성 메모리 장치의 트랜지스터 형성 방법.

【청구항 8】

제 1 항에 있어서,

상기 확산 방지막은 실리콘 질화막을 화학 기상 증착의 방법으로 형성하는 것을 특징으로 하는 비휘발성 메모리 장치의 트랜지스터 형성 방법.

【청구항 9】

제 1 항에 있어서,

상기 확산 방지막을 형성하기 전에, 상기 게이트 패턴이 형성된 반도체기판 전면을 덮는 완충 절연막을 형성하는 단계를 포함하는 비휘발성 메모리 장치의 트랜지스터 형성 방법.

【청구항 10】

제 9 항에 있어서,

상기 완충 절연막은 실리콘 산화막을 화학 기상 증착의 방법으로 형성하는 것을 특징으로 하는 비휘발성 메모리 장치의 트랜지스터 형성 방법.

【청구항 11】

제 1 항에 있어서,

상기 열산화 공정은 상기 부유 게이트의 하부 가장자리를 열산화시키는 것을 특징으로 하는 비휘발성 메모리 장치의 트랜지스터 형성 방법.

【청구항 12】

반도체기판의 소정영역에 배치되어 활성영역을 한정하는 소자분리막;

상기 활성영역 상에 배치되는 게이트 산화막;

상기 게이트 산화막 및 소자분리막을 가로지르는 복수개의 제어 게이트;

상기 제어 게이트 아래에 배치되어, 상기 게이트 산화막을 덮는 부유 게이트;

상기 부유 게이트와 상기 제어 게이트 사이에 개재되는 게이트 층간절연막 패턴;

및

상기 부유 게이트, 게이트 층간절연막 패턴 및 제어 게이트로 이루어지는 게이트 패턴의 측면에 배치되는 확산 방지 스페이서를 포함하되, 가장자리에서의 두께와 중앙에서의 두께의 차이는 상기 게이트 층간절연막 패턴보다 상기 게이트 산화막에서 더 큰 것을 특징으로 하는 비휘발성 메모리 장치의 트랜지스터.

【청구항 13】

제 12 항에 있어서,

상기 부유 게이트는 다결정 실리콘인 것을 특징으로 하는 비휘발성 메모리 장치의 트랜지스터.

【청구항 14】

제 12 항에 있어서,

상기 부유 게이트의 하부 모서리는 라운드된 프로파일을 갖는 것을 특징으로 하는 비휘발성 메모리 장치의 트랜지스터.

【청구항 15】

제 12 항에 있어서,

상기 제어 게이트는 차례로 적층된 다결정 실리콘 및 실리콘사이드인 것을 특징으로 하는 비휘발성 메모리 장치의 트랜지스터.

【청구항 16】

제 12 항에 있어서,

상기 확산 방지 스페이서는 실리콘 질화막인 것을 특징으로 하는 비휘발성 메모리 장치의 트랜지스터.

【청구항 17】

제 12 항에 있어서,

상기 게이트 패턴과 상기 확산 방지 스페이서 사이에 개재되는 완충 절연막을 더 포함하는 비휘발성 메모리 장치의 트랜지스터.

【청구항 18】

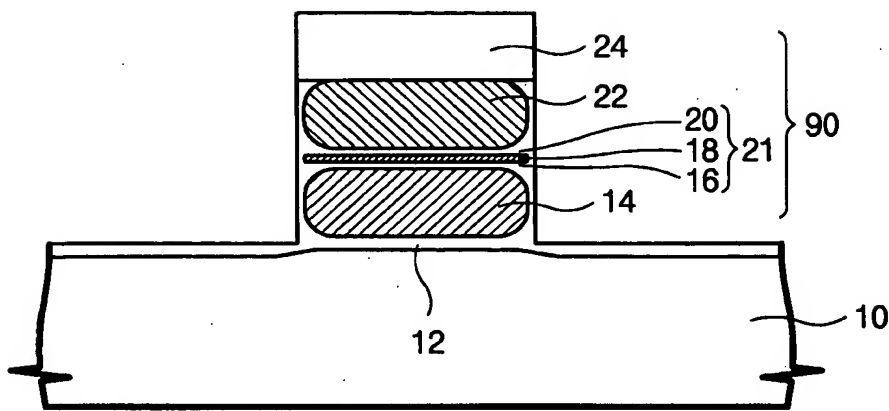
제 17 항에 있어서,

상기 완충 절연막은 실리콘 산화막인 것을 특징으로 하는 비휘발성 메모리 장치의 트랜지스터.

【도면】

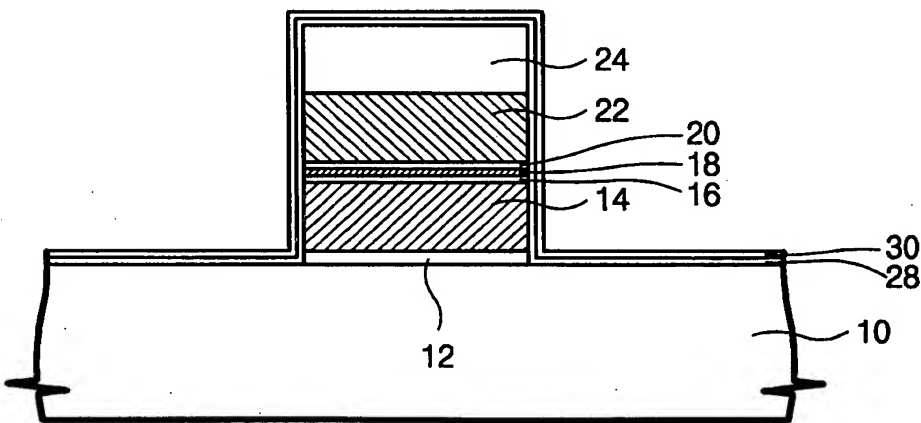
【도 1】

(종래 기술)

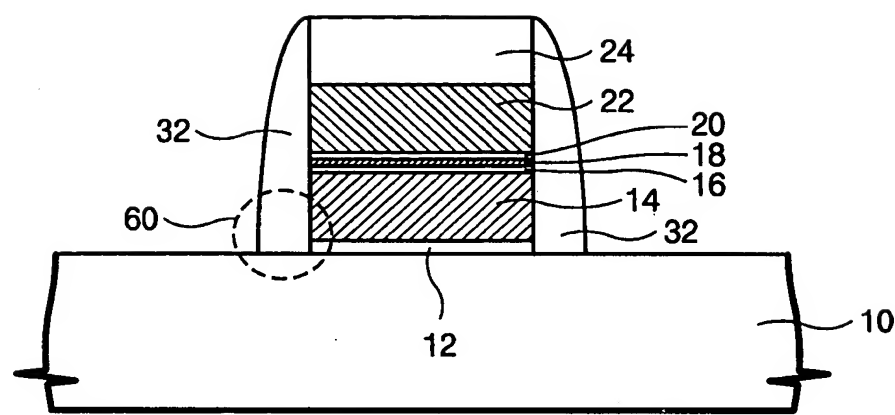


【도 2】

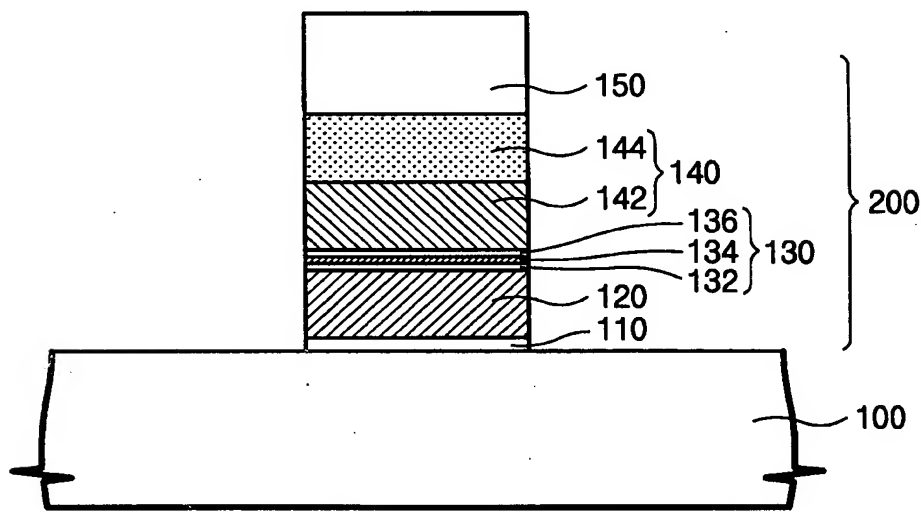
(종래 기술)



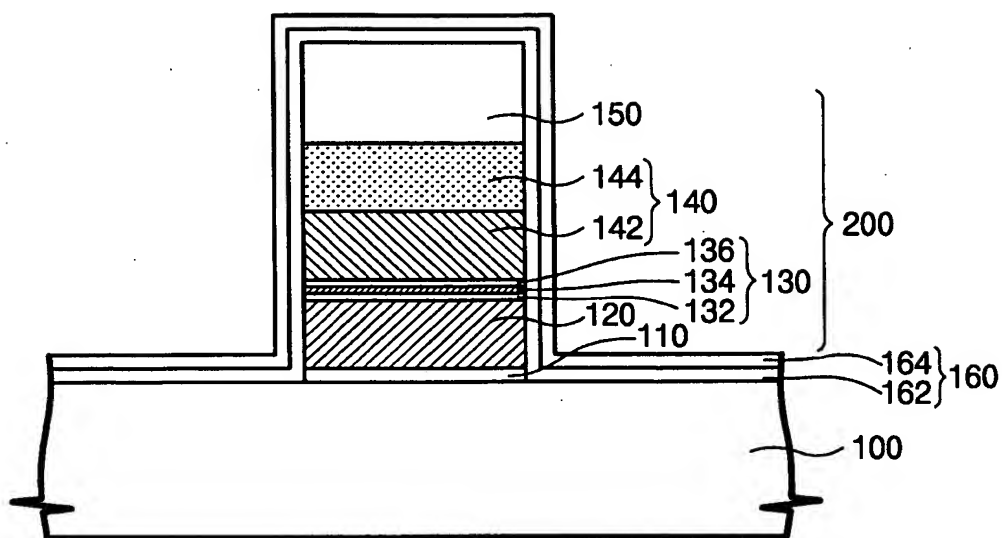
【도 3】
(종래 기술)



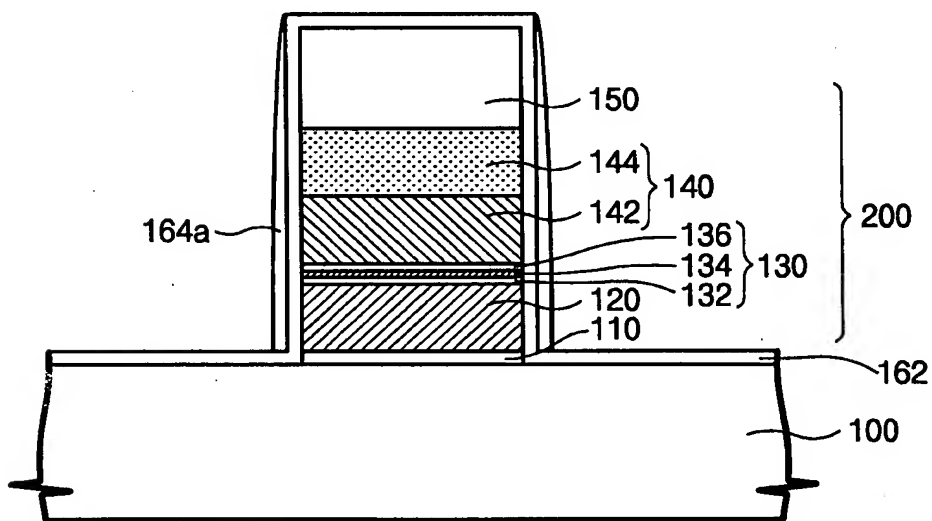
【도 4】



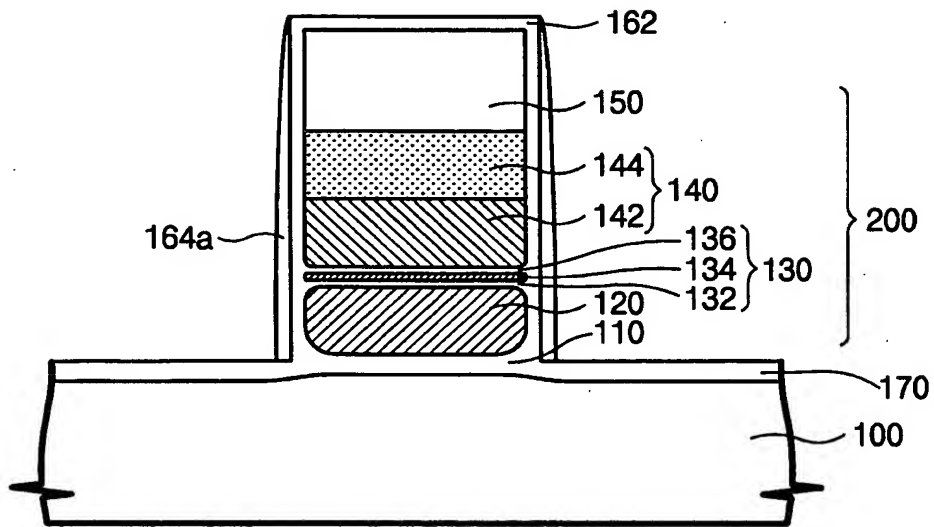
【도 5】



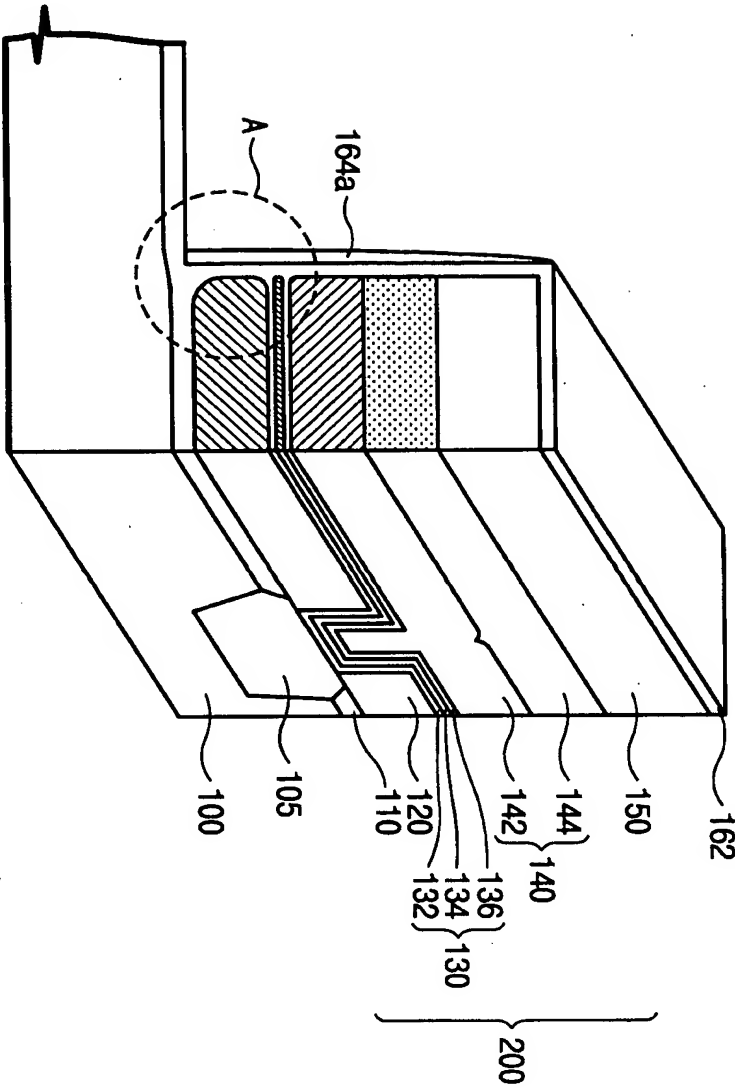
【도 6】



【도 7】



【도 8】



【도 9】

